

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-172394

(43)Date of publication of application : 17.06.2004

(51)Int.Cl.

H01L 27/146  
H01L 21/322  
H01L 27/148  
H04N 5/335

(21)Application number : 2002-336798

(71)Applicant : NIKON CORP

(22)Date of filing : 20.11.2002

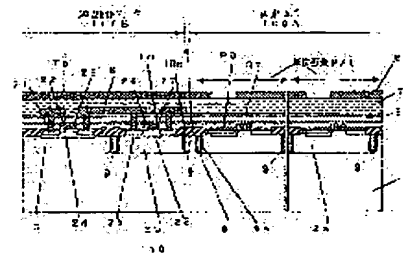
(72)Inventor : ISHIDA TOMOHISA

## (54) SOLID STATE IMAGE PICKUP DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a gettering technique effective for the contaminant removal of a solid state image pickup device(pixel area).

SOLUTION: In this solid state image pickup device where a plurality of unit pixels for generating signal charge according to incident lights are arranged on a semiconductor substrate, a trench isolation area is formed between the unit pixels of the solid state image pickup device. The groove of the trench isolation area is embedded with amorphous or multi-crystal substances indicating the impurity concentration of  $10^{19}\text{cm}^{-3}$  or more. The trench isolation area structured like this is made to function as a gettering area, and the metallic contamination of the solid state image pickup device(especially, pixel area) can be sharply removed. As a result, it is possible to realize a high S/N solid state image pickup device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172394

(P2004-172394A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int.Cl.<sup>7</sup>

F1

テーマコード(参考)

H01L 27/146

H01L 27/14

A

4M118

H01L 21/322

H01L 21/322

P

5C024

H01L 27/148

H04N 5/335

U

H04N 5/335

H01L 27/14

B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2002-336798(P2002-336798)

(22) 出願日 平成14年11月20日(2002.11.20)

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(74) 代理人 100072718

弁理士 古谷 史旺

(72) 発明者 石田 知久

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

Fターム(参考) 4M118 AA05 AB01 BA09 BA13 BA14

CA02 CA03 CA32 FA06 FA27

FA28 FA50 GB03 GB06 GB10

GB14 GB19

5C024 GX03 GY31

(54) 【発明の名称】 固体撮像装置

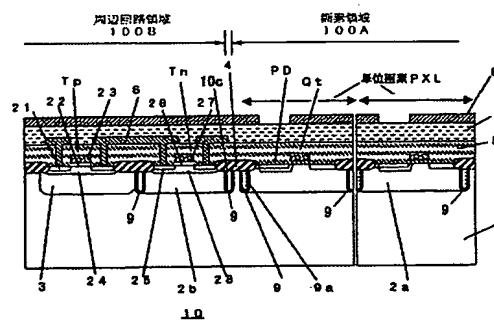
(57) 【要約】

【課題】本発明は、固体撮像装置（画素領域）の汚染除去に効果的なゲッタリング技術を提示することを目的とする。

【解決手段】本発明は、入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置である。この固体撮像装置の単位画素間には、トレンチ分離領域が形成される。このトレンチ分離領域の溝には、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれる。このような構造のトレンチ分離領域は、ゲッタリング領域として働き、固体撮像装置（特に画素領域）の金属汚染を顕著に除去する。その結果、高S/Nの固体撮像装置を実現することができる。

【選択図】

図2



## 【特許請求の範囲】

## 【請求項1】

入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置であって、  
前記単位画素間にトレンチ分離領域が形成され、前記トレンチ分離領域の溝に、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれている  
ことを特徴とする固体撮像装置。

## 【請求項2】

請求項1に記載の固体撮像装置において、前記トレンチ分離領域に埋め込む前記物質は、不純物としてボロン、リン、砒素、およびアンチモンのうち少なくとも1種類の元素を含むことを特徴とする固体撮像装置。

10

## 【請求項3】

請求項1ないし請求項2のいずれか1項に記載の固体撮像装置において、  
前記トレンチ分離領域の溝の内壁には、埋め込まれた前記物質と同じ導電型の拡散層が形成されている  
ことを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、固体撮像装置に関する。より詳しくは、本発明は、暗電流を低減する構造を実現した固体撮像装置に関する。

20

## 【0002】

## 【従来の技術】

従来、半導体ウェハの裏面にゲッタリング層を形成し、ウェハ内の金属汚染を裏面側に集めて捕捉するゲッタリング技術が知られている。その他、一般的なゲッタリング技術については、下記の非特許文献1に記載されている。  
また、固体撮像装置にゲッタリング技術を適用した従来例として、下記の特許文献1が開示されている。

## 【0003】

図5は、この特許文献1に準拠したXYアドレス型の固体撮像装置100の概略断面図である。図6は、この固体撮像装置100の単位画素PXLの回路構成図である。  
以下、図5および図6に基づいて、この固体撮像装置100の構成を説明する。  
半導体基板101aの上には、エピタキシャル層101bが層形成される。このエピタキシャル層101bは、画素領域100Aと周辺回路領域100Bとに区分される。

30

## 【0004】

この画素領域100Aには、pウェル領域2aが形成される。このpウェル領域2aには、複数の単位画素PXLがアレイ状に配置される。これら単位画素PXLの一つ一つは、ホトダイオードPD、転送スイッチQt、リセットスイッチQr、増幅素子Qa、選択スイッチQsを備えて構成される。

一方、周辺回路領域100Bには、上記の単位画素PXLを制御する垂直走査回路や水平走査回路および信号処理回路などが、CMOS回路として形成される。このCMOS回路のnMOSトランジスタTnは、pウェル領域2b内に、n型ソース/ドレイン領域25、ゲート酸化膜26、ゲート電極27、およびnMOSトランジスタTnの閾値を制御するためのチャネルドープ領域28を備えて構成される。一方、CMOS回路のpMOSトランジスタTpは、nウェル領域3内に、p型ソース/ドレイン領域21、ゲート酸化膜22、ゲート電極23、およびpMOSトランジスタTpの閾値を制御するためのチャネルドープ領域24を備えて構成される。

40

## 【0005】

これらの各素子の間には、フィールド酸化膜4が適宜に形成され、各素子を分離・絶縁する。この内、pウェル領域2a、2bに接するフィールド酸化膜4の下部には、分離領域

50

2cが形成されている。

さらに、所定の部分が開口されるようにパターンニングされた層間絶縁膜5が形成され、その上に上述した各素子の導電領域と電氣的に接続される配線6がパターンニングされる。

#### 【0006】

このような固体撮像装置100では、pウェル領域2aの下側に接するように、高不純物濃度のゲッタリング層102が形成されている。このゲッタリング層102は、リン(P)やボロン(B)などの不純物を、 $1\text{E}17\sim1\text{E}19\text{cm}^{-3}$ の高濃度で導入することによって形成される。

さらに、固体撮像装置100には、pウェル領域2aを囲むようにn型の分離用高不純物濃度領域103が形成されている。この分離用高不純物濃度領域103は、リン(P)を $1\text{E}18\sim1\text{E}19\text{cm}^{-3}$ の高濃度で導入することによって形成される。

これらのゲッタリング層102および分離用高不純物濃度領域103は、暗電流の発生源となるCr、Fe、Ni、Co、Cu、Auなどの重金属類あるいは微小欠陥を捕捉する。その結果、固体撮像装置の暗電流を低減することができる。

#### 【0007】

##### 【特許文献1】

特開2002-43557号公報

##### 【非特許文献1】

電子通信学会編”LSIハンドブック”第1版第1刷,  
358頁～364頁, オーム社発行

#### 【0008】

##### 【発明が解決しようとする課題】

上述した固体撮像装置100では、pウェル領域2aの下側にゲッタリング層102を配置する。このような構造の場合、pウェル領域2aを形成する前に、ゲッタリング層102を形成しておかなければならない。

すなわち、ゲッタリング層102を半導体基板101aに形成した後、ゲッタリング層102の上にエピタキシャル層101bを層形成しなければならなかった。

その結果、固体撮像装置100の製造には、エピタキシャル成長の工程が必須となり、固体撮像装置100の製造コストが高くなるという問題点があった。

#### 【0009】

さらに、このエピタキシャル成長工程では、原料ガスとしてSiCl<sub>4</sub>、SiHCl<sub>3</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiH<sub>4</sub>などが使用される。これらの原料ガスはいずれも金属不純物を比較的多量に含むため、金属汚染が発生しやすい。したがって、ゲッタリング層102を形成するために採用したエピタキシャル成長工程によって、固体撮像装置100が重金属類にかえって汚染されてしまうという問題点があった。

#### 【0010】

また、ゲッタリング層102とホットダイオードPD等との間隔は実質的に遠いため、ゲッタリング層102では、ホットダイオードPDのリーク電流(すなわち暗電流)を誘発する金属汚染を十分に除去することが困難であった。

さらに、分離用高不純物濃度領域103は、画素領域100Aの周囲に形成されるため、画素領域100Aの中央部分の単位画素PXLに対してはゲッタリング能力が不足しやすいという問題点もあった。

#### 【0011】

通常、固体撮像装置の素子微細化に伴って製造プロセスを低温化すると、ゲッタリング能力が全般に低下する。そのため、高解像度の固体撮像装置ほど、上述した問題点は顕著に現れる。

そこで、本発明は、上述した問題点に鑑みて、固体撮像装置(画素領域)の汚染除去に効果的なゲッタリング技術を提示することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

10

20

30

40

50

以下、本発明について説明する。

《請求項1》

請求項1に記載の発明は、入射光に応じて信号電荷を生成する単位画素を半導体基板に複数備えた固体撮像装置である。この固体撮像装置の単位画素間には、トレンチ分離領域が形成される。このトレンチ分離領域の溝には、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の不純物濃度を示す非晶質または多結晶の物質が埋め込まれる。

《請求項2》

請求項2に記載の発明は、請求項1に記載の固体撮像装置において、トレンチ分離領域に埋め込む物質には、不純物としてボロン、リン、砒素、アンチモンのうち少なくとも1種類の元素が含まれる。

10

《請求項3》

請求項3に記載の発明は、請求項1ないし請求項2のいずれか1項に記載の固体撮像装置において、トレンチ分離領域の溝の内壁には、埋め込まれた物質と同じ導電型の拡散層が形成されている。

【0013】

【発明の実施の形態】

以下、図面に基づいて本発明にかかる実施形態を説明する。

【0014】

《第1の実施形態》

第1の実施形態は、請求項1～3に対応する実施形態である。

20

図1は、第1の実施形態における固体撮像装置10の画素領域の概略平面図である。図2は、図1に示したC1-C1ラインの断面図である。なお、図1および図2に示す構成要素の内、前述した図5および図6と同等の構成要素には、同一の参照符号を付与し、ここでの説明を省略する。

【0015】

以下、図1および図2を用いて、固体撮像装置10の構成を説明する。

まず、半導体基板1は、画素領域100Aと周辺回路領域100Bとに区分される。この画素領域100Aには、pウェル領域2aが形成される。このpウェル領域2aには、複数の単位画素PXLがアレイ状に配置される。

一方、周辺回路領域100Bには、単位画素PXLを制御するための垂直走査回路、水平走査回路、および信号処理回路が、CMOS回路として形成される。

30

【0016】

このCMOS回路のnMOSトランジスタ $T_n$ は、半導体基板1のpウェル領域2bに形成される。一方、pMOSトランジスタ回路 $T_p$ は、半導体基板1のnウェル領域3に形成される。

さらに、所定の部分が開口されるようにパターンニングされた層間絶縁膜5が形成され、その上に上述した各素子の導電領域と電氣的に接続される配線6がパターンニングされる。

【0017】

この配線6の上には、さらに層間絶縁膜7が形成される。この層間絶縁膜7上には、金属等からなる遮光膜8が形成される。この遮光膜8には、ホトダイオードPDに対応する箇所のみ開口部が設けられる。

40

また、単位画素PXLの間にはフィールド酸化膜4が形成される。このフィールド酸化膜4の下には、トレンチ分離領域9が形成される。

このトレンチ分離領域9の溝には、ポリシリコン10cが埋め込まれる。このポリシリコン10cは、ボロン(B)を $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度で含む。

このようなトレンチ分離領域9の形成方法としては、例えば、次の手順が好ましい。

【0018】

(1) まず、フィールド酸化膜4を形成する以前に異方性エッチングを実施し、トレンチ分離領域9の溝を形成する。この溝の深さは、pウェル領域2a、2bの厚みとほぼ同程度にすることが好ましい。

50

(2) 続いて、ボロンがドーパされたポリシリコン10cを、減圧CVD法を用いて、トレンチ分離領域9の溝に堆積させる。

(3) トレンチ分離領域9の溝以外に堆積したポリシリコン10cは、ウエハ全面をドライエッチングすることによって除去される。

(4) その後の熱処理工程（例えばフィールド酸化等）において、トレンチ分離領域9の溝の内壁には、ポリシリコン10cからボロンが拡散し、拡散層9aが形成される。（なお、このボロン拡散では、ポリシリコン10cのボロン濃度はほとんど変化しない。）

#### 【0019】

（第1の実施形態の効果など）

本実施形態のトレンチ分離領域9は、溝に埋め込まれたポリシリコン10cおよび拡散層9aによって、暗電流の原因となる重金属類をゲッタリングすることができる。

10

以下、このトレンチ分離領域9のゲッタリング機能の特徴点を説明する。

#### 【0020】

(A) トレンチ分離領域9は、単位画素PXL間の隙間に設けられる。したがって、上述した従来例よりも、ゲッタリング領域と単位画素PXLとの間隔が近く、単位画素PXLに対して強いゲッタリング効果を発揮することができる。したがって、単位画素PXLの暗電流を一段と強力に抑制することが可能になり、固体撮像装置10の信号S/Nを顕著に高めることができる。

#### 【0021】

(B) トレンチ分離領域9は、単位画素PXLが存在するpウェル領域2aの内部に存在する。したがって、pウェル領域2aの内部から単位画素PXLに直に作用する。その点からもより高いゲッタリング効果を得ることができる。

20

#### 【0022】

(C) トレンチ分離領域9は、ホットダイオードPD周囲の空乏化領域と略等しい深さに形成される。したがって、ホットダイオードPD周囲の空乏化領域に対して高いゲッタリング効果を得ることができる。その結果、ホットダイオードPDの空乏化領域に存在する汚染金属を顕著に除去し、この空乏化領域内で発生する暗出力を顕著に低減することが可能になる。その点からも、固体撮像装置10のS/Nを確実に高めることが可能になる。

#### 【0023】

(D) トレンチ分離領域9は、遮光膜8によって遮光された箇所に設けられている。そのため、固体撮像装置10が光照射下にあっても、トレンチ分離領域9は暗状態に保たれる。通常、ゲッタリングされた重金属のドナーは、白色光の照射によって一部が乖離する。しかしながら、本実施形態では、トレンチ分離領域9が暗状態に置かれるため、捕捉した金属の乖離が少なく、より安定したゲッタリング効果を持続的に得ることが可能になる。

30

#### 【0024】

(E) 高不純物濃度のポリシリコン10cは、不規則な格子構造であるため、非晶質の性質も有する。そのため、ポリシリコン10cには多数の格子欠陥が存在する。この格子欠陥はその不規則的な構造から周囲の結晶に格子歪を及ぼす。この格子歪みは、重金属類のゲッタリング中心として働く。したがって、トレンチ分離領域9は、ポリシリコン10c内部の格子歪が有するゲッタリング作用によって、金属汚染を更に有効に捕捉することが可能になる。

40

#### 【0025】

(F) トレンチ分離領域9は、pウェル領域2aを形成した後に形成できる。そのため、従来例とは異なり、エピタキシャル層を改めて形成する必要が特にならない。したがって、エピタキシャル成長工程によって固体撮像装置10が金属汚染されるといった事態を回避することができる。また、エピタキシャル成長工程を不要とした分だけ、固体撮像装置10の製造時間や製造コストを低減することも可能になる。

#### 【0026】

(G) 単位画素PXLの境界にトレンチ分離領域9を形成したことにより、各単位画素PXLを確実に分離することができる。したがって、信号電荷の隣接クロストークを顕著に

50

抑え、良質な画像信号を得ることが可能になる。

#### 【0027】

(H) 固体撮像装置10では、周辺回路領域100Bのpウェル領域2b内にも、トレンチ分離領域9と同様の構造が形成される。その結果、CMOS回路のリーク電流を抑えることが可能になり、周辺回路領域100Bの歩留まりを確実に高めることが可能になる。次に、別の実施形態について説明する。

#### 【0028】

##### 《第2の実施形態》

第2の実施形態は、請求項1～3に対応する実施形態である。

図3は、第2の実施形態における固体撮像装置20の画素領域の概略平面図である。

10

図3に示すように、固体撮像装置20の画素領域20aには単位画素20PXLがアレイ状に形成される。これらの単位画素20PXLは、ホットダイオード20PD、および垂直CCD33の1段分を備えて構成される。

一方、固体撮像装置20の周辺回路領域20bには、水平CCD39および出力部40が設けられる。

#### 【0029】

図4は、図3に示したC2-C2ラインの画素断面図である。

図4に示すように、n型半導体基板31には、pウェル領域32が設けられる。このpウェル領域32には、埋め込み型のホットダイオード20PD、p型高濃度表面層34、および垂直CCD33のCCD拡散層33aが形成される。このCCD拡散層33aの上には、信号電荷転送用の電極35がゲート酸化膜37を介して形成される。これらの各素子は、シリコンの酸化物あるいは窒化物からなる平坦化膜38で覆われている。

20

#### 【0030】

さらに、単位画素20PXLの境界間には、pウェル領域32を分断するように、トレンチ分離領域36が設けられる。(ただし、CCD拡散層33aにはトレンチ分離領域36を設けない。)

このトレンチ分離領域36の溝には、ポリシリコン36aが埋め込まれている。このポリシリコン36aは、ボロン(B)を $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度で含む。

#### 【0031】

また、トレンチ分離領域36の溝の内壁には、ポリシリコン36a内のボロンが拡散することにより、拡散層36bが形成される。なお、このようなボロンの拡散では、高不純物濃度のポリシリコン36aのボロン濃度はほとんど変化しない。なお、このトレンチ分離領域36の形成方法については、第1の実施形態と同様であるため、説明を省略する。

30

#### 【0032】

##### (第2の実施形態の効果など)

本実施形態のトレンチ分離領域36は、溝に埋め込まれたポリシリコン36aおよび拡散層36bによって、暗電流の原因となる重金属類をゲッタリングすることができる。

したがって、ホットダイオード20PDの近傍に存在する重金属類は、トレンチ分離領域36によって確実に除去することができる。したがって、ホットダイオード20PDのリーク電流すなわち暗電流を効果的に抑制し、高S/Nの画像信号を得ることが可能になる。

40

また、単位画素20PXLの境界間にトレンチ分離領域36を設けたので、画素間の信号クロストークを効果的に抑えることも可能になる。

#### 【0033】

##### 《実施形態の補足事項》

なお、上述した実施形態では、不純物としてボロンを導入した物質をトレンチ分離領域に埋め込んでいる。特に、ボロンは、画素領域の主たる汚染物質である鉄をゲッタリングする上で高い効果を発揮する。しかしながら、本発明は、ボロンに限定されるものではない。例えば、不純物としては、ボロン、リン、砒素、およびアンチモンの少なくとも1種類が好ましい。

#### 【0034】

50

## 【発明の効果】

以上説明したように、本発明の固体撮像装置では、トレンチ分離領域の溝に、高不純物濃度の非晶質または多結晶の物質を埋め込む。このような構造のトレンチ分離領域は、ゲッタリング機能を発揮するため、単位画素の金属汚染を適切に除去することができる。

## 【0035】

特に、本発明では、従来例のゲッタリング層102や分離用高不純物濃度領域103よりも、単位画素に近い位置から金属類を捕捉することができる。その結果、一段と高いゲッタリング効果を得ることができる。

したがって、本発明を採用した固体撮像装置では、単位画素に発生する暗電流を確実に低減し、高S/Nの画像信号を生成することが可能になる。

10

## 【図面の簡単な説明】

【図1】第1の実施形態における固体撮像装置10の画素領域の概略平面図である。

【図2】固体撮像装置10の断面図である。

【図3】第2の実施形態における固体撮像装置20の画素領域の概略平面図である。

【図4】固体撮像装置20の画素断面図である。

【図5】従来の固体撮像装置100の概略断面図である。

【図6】従来の固体撮像装置100の単位画素PXLの回路構成図である。

## 【符号の説明】

PXL, 20PXL 単位画素

Tp pMOSトランジスタ

Tn nMOSトランジスタ

PD, 20PD ホトダイオード

Qt 転送スイッチ

Qr リセットスイッチ

Qa 増幅素子

Qs 選択スイッチ

1 半導体基板

2a, 32 pウェル領域

2b pウェル領域

2c 分離領域

3 nウェル領域

4 フィールド酸化膜

5 層間絶縁膜

6 配線

7 層間絶縁膜

8 遮光膜

9, 36 トレンチ分離領域

9a, 36b 拡散層

10, 20 固体撮像装置

10c, 36a ポリシリコン

31 n型半導体基板

33 垂直CCD

33a CCD拡散層

34 p型高濃度表面層

35 電極

37 ゲート酸化膜

38 平坦化膜

39 水平CCD

40 出力部

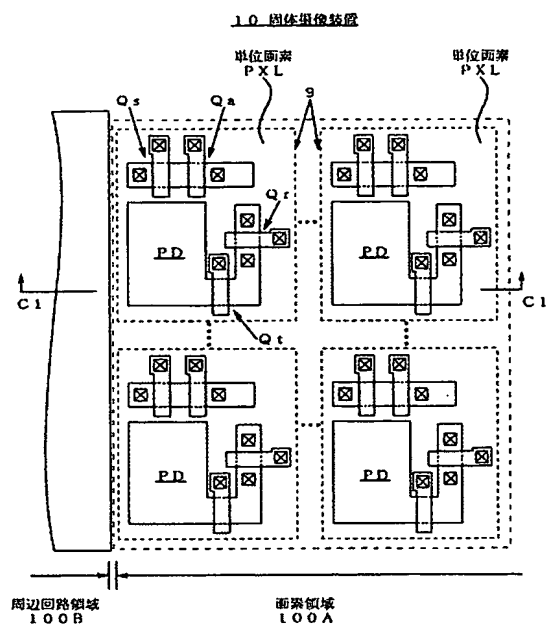
20

30

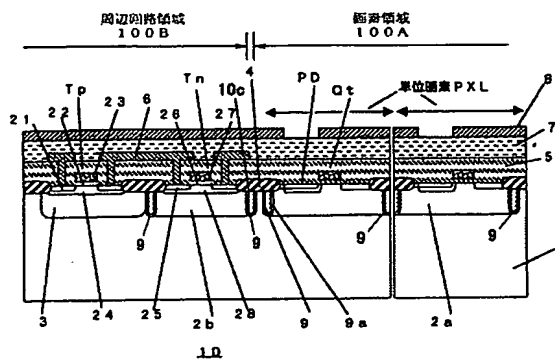
40



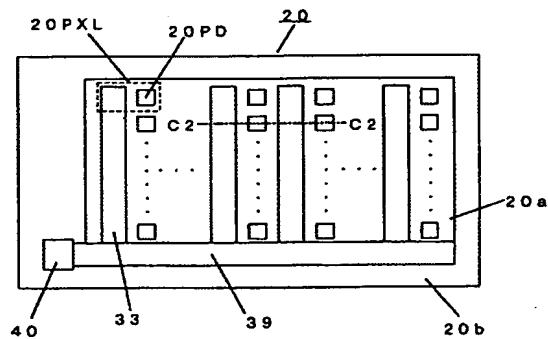
【図1】



【図2】



【図3】



【図4】

